

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-31434

(P2000-31434A)

(43) 公開日 平成12年1月28日 (2000.1.28)

(51) Int.Cl. ⁷	識別記号	F I	テマコード (参考)
H 0 1 L	27/108	H 0 1 L 27/10	6 2 1 Z
	21/8242	27/04	C
	27/04	27/10	6 5 1
	21/822		

審査請求 有 請求項の数 4 O L (全 8 頁)

(21) 出願番号 特願平11-196620
 (62) 分割の表示 特願平11-163061の分割
 (22) 出願日 平成4年6月9日 (1992.6.9)

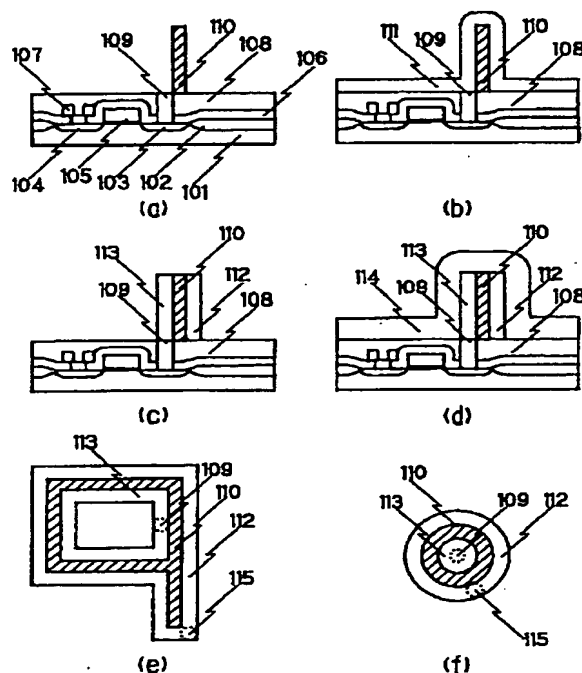
(71) 出願人 000002369
 セイコーエプソン株式会社
 東京都新宿区西新宿2丁目4番1号
 (72) 発明者 加藤 晃次
 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
 (74) 代理人 100093388
 弁理士 鈴木 喜三郎 (外2名)

(54) 【発明の名称】 半導体装置

(57) 【要約】

【目的】 誘電体が二つの電極によって挟まれた構造を有するキャパシタが、能動素子の形成された同一半導体基板上に集積された半導体装置において、キャパシタの占有面積を縮小し、誘電率等のキャパシタ特性の、印加電圧方向による差異を無くし、さらに製造工程を削減することによって、高密度・高性能な半導体装置を低コストに提供する。

【構成】 キャパシタの誘電体と電極の接する面が、半導体基板に垂直であり、また、キャパシタの電極が2つ同時に、しかも誘電体より前に形成され、また、誘電体の全部もしくは一部が配線層より上の層でボンディング・パッド以外の部分を覆う。



1

【特許請求の範囲】

【請求項 1】 誘電体が二つの電極によって挟まれた構造を有するキャパシタが、能動素子の形成された同一半導体基板上に集積された半導体装置において、前記二つの電極の有するキャパシタンスに寄与する面のうち全て、もしくは一部が、半導体基板の主面と垂直、もしくは 45 度以上の角をなして配置されていることを特徴とする半導体装置。

【請求項 2】 誘電体が二つの電極によって挟まれた構造を有するキャパシタが、能動素子の形成された同一半導体基板上に集積された半導体装置の製造方法において、前記二つの電極となる薄膜を形成する工程と、前記薄膜をエッチングして前記二つの電極を同時に形成する工程と、その後、前記誘電体を形成する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項 3】 誘電体が二つの電極によって挟まれた構造を有するキャパシタが、能動素子の形成された同一半導体基板上に集積された半導体装置において、前記誘電体の全部、もしくは一部が、前記半導体基板上に形成された配線層の、ボンディング・パッド以外の領域の全部、もしくは一部を覆うことを特徴とする半導体装置。

【請求項 4】 前記誘電体が、ペロブスカイト型の結晶構造を持つセラミックスであることを特徴とする請求項 1 及び請求項 3 記載の半導体装置。

【請求項 5】 前記ペロブスカイト型の結晶構造を持つセラミックスが、チタン酸ジルコン酸鉛 ($\text{Pb}(\text{Ti}_x\text{Zr}_{1-x})\text{O}_3$)、ランタン含有のチタン酸ジルコン酸鉛 ($(\text{Pb}_{1-y}\text{La}_y)(\text{Ti}_x\text{Zr}_{1-x})\text{O}_3$)、チタン酸ストロンチウム (SrTiO_3)、チタン酸ストロンチウムバリウム ($(\text{Sr}_{1-y}\text{Ba}_y)\text{TiO}_3$) のうち何れかを主たる成分とすることを特徴とする請求項 1 及び請求項 3 記載の半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、主に、キャパシタを有する半導体装置、特に半導体記憶装置の構造、及びその製造方法に関する。

【0002】

【従来の技術】 従来のキャパシタが半導体基板上に集積された半導体装置としては、ダイナミック・ランダム・アクセス・メモリ (DRAM) 等が実用化されており、また、最近では MOS 型半導体装置に、強誘電体膜を積層した構造の不揮発性メモリが国際ナショナル・エレクトロニクス・デバイス・ミーティング (IEDM) '87、850 頁～851 頁に提案されている。

【0003】 図 5 に MOS 型半導体装置に強誘電体膜を積層した構造の、不揮発性半導体メモリの一例を示す。図 5 において、501 は P 型シリコン基板であり、502 は素子分離用の LOCOS 酸化膜、503 はソースとなる N 型拡散層であり、504 はドレインとなる N 型拡散層である。505 はゲート電極であり、506 は層間

2

絶縁膜である。507 が強誘電体を用いた誘電体膜であり、下部電極 508 と上部電極 509 により挟まれ、キャパシタを構成している。510 は第 2 層間絶縁膜であり、511 が配線電極である。

【0004】

【発明が解決しようとする課題】 このように能動素子の形成された半導体基板上に、能動素子と隣接するように平面的なキャパシタを形成した構造では、最低でもひとつのキャパシタをひとつのメモリセル内におさめなければならず、キャパシタの面積がメモリセルの面積で決定される。また、キャパシタの下部電極 508、誘電体膜 507、上部電極 509 をそれぞれ形成するための工程が追加され、コスト増大を招く。

【0005】 また、下部電極 508 と上部電極 509 は別個に形成されるので、下部電極 508 と誘電体 507 との界面状態と、上部電極 509 と誘電体 507 との界面状態とが異なり、電極にかかる電圧の方向による、分極等のキャパシタ特性の差異、すなわちキャパシタ特性の非対称性が生じる。

【0006】 そこで本発明はこのような課題を解決するもので、その目的とするところは、キャパシタの占有面積を、同一容量を確保したまま縮小させ、あるいはメモリセル以外の領域をキャパシタとして使用してキャパシタの有効面積を稼ぐとともに、キャパシタ形成に伴う工程増を削減し、また、キャパシタ特性の非対称性をなくすことによって、高性能・高密度な半導体装置を低コストに提供することにある。

【0007】

【課題を解決するための手段】 誘電体が二つの電極によって挟まれた構造を有するキャパシタが、能動素子の形成された同一半導体基板上に集積された半導体装置において、前記二つの電極の有するキャパシタンスに寄与する面のうち全て、もしくは一部が、半導体基板の主面と垂直、もしくは垂直に近く配置されていることを特徴とする。

【0008】 また、誘電体が二つの電極によって挟まれた構造を有するキャパシタが、能動素子の形成された同一半導体基板上に集積された半導体装置の製造方法において、前記二つの電極となる薄膜を形成する工程と、前記二つの電極を同時にエッチングする工程と、その後、前記誘電体を形成する工程とを含むことを特徴とする。

【0009】 また、誘電体が二つの電極によって挟まれた構造を有するキャパシタが、能動素子の形成された同一半導体基板上に集積された半導体装置において、前記誘電体の全部、もしくは一部が、前記半導体基板上に形成された配線層の、ボンディング・パッド以外の領域の全部、もしくは一部を覆うことを特徴とする。

【0010】

【実施例】 図 1 (a) ～ (d) は本発明による半導体装置の第 1 の実施例を示す主要工程断面図である。図 1

3

(e) および (f) は本発明による半導体装置の第 1 の実施例を示す主要平面図である。まず、図 1 にしたがって、本発明の第 1 の実施例について説明する。ここでは説明の都合上シリコン基板を用い、N チャンネルトランジスタを用いた例につき説明する。

【0011】(図 1 (a)) 101 は P 型シリコン基板であり、例えば $20 \Omega \cdot \text{cm}$ の比抵抗のウェハを用いる。102 は素子分離用の絶縁膜であり、例えば、従来技術である LOCOS 法により二酸化シリコン膜を 6000 \AA 形成する。103 はトランジスタのソースとなる N 型拡散層であり、例えばリンを 80 keV 、 $5 \times 10^{15} \text{ cm}^{-2}$ イオン注入することによって形成する。104 はドレインとなる N 型拡散層であり、103 と同時に形成する。105 はゲート電極であり、例えばリンでドーパされたポリシリコンを用いる。106 は第 1 層間絶縁膜であり、例えば化学的気相成長 (以下、CVD とする) 法によりリンガラスを 4000 \AA 形成する。107 は配線電極であり、例えばタングステンを 5000 \AA スパッタする。108 は第 2 層間絶縁膜であり、例えば CVD 法により二酸化シリコンを 8000 \AA 形成する。この時、スピンドット・オン・ガラス等を併用して十分に平坦化することが望ましい。109 はスルーホール埋め込みプラグであり、例えばタングステンを CVD 法によって形成する。

【0012】110 は本発明の趣旨による誘電体であり、例えばチタン酸ジルコン酸鉛 ($\text{Pb}(\text{Ti}_{0.6}\text{Zr}_{0.4})\text{O}_3$) を $2 \mu\text{m}$ スパッタ法により形成し、フォトリソグラフィにより所定のパターンに形成する。この時、誘電体 110 の側壁がキャパシタの電極と接する面となるので、誘電体 110 の高さ、すなわち膜形成時の膜厚が大きい方がキャパシタの有効面積が大きくなる。また、誘電体 110 の幅がキャパシタの電極間隔となるので、できるだけ小さくすることが望ましい。また、キャパシタの電極は誘電体 110 の側壁にのみ形成するので、誘電体 110 はキャパシタの電極と配線層、あるいは拡散層とを接続する埋め込みプラグの近傍に形成されるのが望ましい。

【0013】(図 1 (b)) 次に、キャパシタの電極となる膜 111 として、例えば白金をスパッタ法により 2000 \AA 形成する。

【0014】(図 1 (c)) 次に、異方性エッチングによって、全面エッチングを行なう。本実施例においては、例えば不活性ガスであるアルゴンをイオン・ソースとして用いたイオン・ビーム・エッチングを用いて、半導体基板 101 と垂直方向にビームを入射させ全面エッチングする。すると、異方性エッチングであるので、誘電体 110 の側壁はエッチングされずに電極 112、及び 113 が残り、誘電体 110 近傍の埋め込みプラグ 109 とは自己整合的に接続される。また、本実施例においては不活性ガスを用いてエッチングしたので、キャパ

4

シタの電極となる膜 111 のうち第 2 層間絶縁膜 108 上の部位はエッチングされた後誘電体 110 の側壁に再付着する。したがって、キャパシタの電極となる膜 111 の付きまわりが悪く、誘電体 110 の側壁部に十分に堆積されていなかったとしても、再付着によって補填されるので、キャパシタの電極 112、及び 113 は十分な厚みをもって形成することができる。また、この時誘電体 110 を、図 1 (e) や図 1 (f) に示すように、閉曲線をもったパターンとしておけば、二つのキャパシタ電極 112、及び 113 を分離する工程は必要ない。図 1 (e) および図 1 (f) において 115 は一方の電極と配線層とを接続する埋め込みプラグである。

【0015】(図 1 (d)) 最後にパッシベーション 114 として例えば窒化シリコン (SiN_x) を CVD 法により $1 \mu\text{m}$ 形成する。

【0016】以上をもって本発明の第 1 の実施例とする。

【0017】このように、キャパシタの誘電体 111 を半導体基板 101 に垂直に形成し、その両側に二つの電極を形成すれば、図 5 の従来の技術で示したような、半導体基板に平行に配置した場合と比較して、同一の電極面積、同一の電極間隔を取った場合、キャパシタの占有面積を小さくすることができる。本実施例では、誘電体 107 の高さを $2 \mu\text{m}$ としたが、更に高くすることによって、キャパシタの占有面積を大きくすることなく、キャパシタの容量を大きくすることができる。また、キャパシタの電極 112 と 113 を同時に、しかもフォトリソグラフィ工程を必要とせず形成するので、工程数を削減することができ、また、電極と誘電体 111 との界面状態は対称的であり、電極にかかる電圧の方向による、分極、誘電率、誘電正接等のキャパシタ特性に差異はなかった。

【0018】図 2 は本発明による半導体装置の第 2 の実施例を示す主要断面図である。図 2 にしたがって、本発明の第 2 の実施例について説明する。ここでも説明の都合上シリコン基板を用い、N チャンネルトランジスタを用いた例につき説明する。

【0019】201 は P 型シリコン基板であり、例えば $20 \Omega \cdot \text{cm}$ の比抵抗のウェハを用いる。202 は素子分離用の絶縁膜であり、例えば、従来技術である LOCOS 法により二酸化シリコン (SiO_2) 膜を 6000 \AA 形成する。203 はトランジスタのソースとなる N 型拡散層であり、例えばリンを 80 keV $5 \times 10^{15} \text{ cm}^{-2}$ イオン注入することによって形成する。204 はドレインとなる N 型拡散層であり、203 と同時に形成する。205 はゲート電極であり、例えばリンでドーパされたポリシリコンを用いる。206 は第 1 層間絶縁膜であり、例えば CVD 法によりリンガラスを 4000 \AA 形成する。

【0020】207 は本発明の趣旨によるキャパシタの

5

誘電体であり、例えば高誘電率のチタン酸ストロンチウム (SrTiO_3) を幅 $0.5\mu\text{m}$ 、高さ $2\mu\text{m}$ に形成する。208 及び 209 は本発明の趣旨によるキャパシタの電極であり、例えば白金を 2000\AA スパッタした後、従来のフォトリソグラフィ技術によって 208 と 209 を所望のパターンに形成する。

【0021】210 は第 2 の層間絶縁膜であり、例えば、CVD 法によって、二酸化シリコンを 2000\AA 形成する。211 は配線電極であり、例えばアルミニウムを 5000\AA スパッタする。

【0022】以上をもって、本発明の第 2 の実施例とする。

【0023】このように、キャパシタの誘電体 207 を半導体基板 201 に垂直に形成し、その両側に二つの電極を形成すれば、図 5 の従来の技術で示したような、半導体基板に平行に配置した場合と比較して、同一の電極面積、同一の電極間隔を取った場合、キャパシタの占有面積を小さくすることができる。本実施例では、誘電体 207 の高さを $2\mu\text{m}$ としたが、更に高くすることによって、キャパシタの占有面積を大きくすることなく、キャパシタの容量を大きくすることができる。また、キャパシタの電極 208 と 209 を同時に形成するので、電極と誘電体 207 との界面状態は対称的であり、電極にかかる電圧の方向による、分極、誘電率、誘電正接等のキャパシタ特性に差異はなかった。

【0024】図 3 (a) ~ (d) は本発明による半導体装置の製造方法の実施例 (以下、第 3 の実施例とする。) を示す主要工程断面図である。図 3 にしたがって、本発明の第 3 の実施例について説明する。ここでも説明の都合上シリコン基板を用い、N チャンネルトランジスタを用いた例につき説明する。

【0025】(図 3 (a)) 301 は P 型シリコン基板であり、例えば $20\Omega\cdot\text{cm}$ の比抵抗のウェハを用いる。302 は素子分離用の絶縁膜であり、例えば、従来技術である LOCOS 法により二酸化シリコン膜を 6000\AA 形成する。303 はトランジスタのソースとなる N 型拡散層であり、例えばリンを 80keV 、 $5\times 10^{15}\text{cm}^{-2}$ イオン注入することによって形成する。304 はドレインとなる N 型拡散層であり、303 と同時に形成する。305 はゲート電極であり、例えばリンでドーパされたポリシリコンを用いる。306 は第 1 層間絶縁膜であり、例えば CVD 法によりリンガラスを 4000\AA 形成する。

【0026】(図 3 (b)) 次に、キャパシタの電極として、例えば白金をスパッタ法により $3\mu\text{m}$ 形成し、フォトリソグラフィ技術によって、所望のパターンに形成する。

【0027】この時、電極 307 と 308 との間の距離がキャパシタの電極間隔となるので、キャパシタ容量を大きくするにはなるべく小さくすることが望ましい。本

6

実施例においては、電極 307 と 308 との間隔を $1\mu\text{m}$ とした。また、電極 307 および 308 の膜厚がキャパシタの容量に寄与する面の一辺となるので、なるべく厚くすることが望ましい。

【0028】(図 3 (c)) 次に、誘電体 309 として、例えばチタン酸ジルコン酸鉛 ($\text{Pb}(\text{Ti}_{0.6}\text{Zr}_{0.4})\text{O}_3$) をゾルゲル法により形成する。この時、電極 307 と 308 との狭い隙間に誘電体 309 を充填する必要があるため、誘電体 309 の形成方法としては、ゾルゲル法や CVD 法等によることが望ましい。その後、誘電体 309 を 600°C で焼結し、フォトリソグラフィ技術を用いて、所望のパターンに形成する。フォトリソグラフィを用いずに、全面エッチバックによって電極 307 及び 308 との隙間にのみ、誘電体 309 を残すことも可能である。

【0029】(図 3 (d)) 次に、第 2 の層間絶縁膜 310 として、例えば二酸化シリコンを CVD 法により 2000\AA 形成し、必要な箇所に開孔する。その後、配線電極 311 として例えばアルミニウムを $1\mu\text{m}$ 形成し、所望のパターンに形成する。

【0030】以上をもって、本発明の第 3 の実施例とする。

【0031】このように、電極 307 と 308 を同時に形成することによって、キャパシタに必要な二つの電極を、一度のフォトリソグラフィによって形成することができるので、製造工程を短縮することができる。また、電極 307 と 308 を形成した後に誘電体 309 を形成するので、誘電体 309 の配向性を、電極の配向性によって制御することが可能である。

【0032】図 4 は本発明による半導体装置の実施例 (以下、第 4 の実施例とする。) を示す主要断面図である。図 4 にしたがって、本発明の第 4 の実施例について説明する。ここでも説明の都合上シリコン基板を用い、N チャンネルトランジスタを用いた例につき説明する。

【0033】401 は P 型シリコン基板であり、例えば $20\Omega\cdot\text{cm}$ の比抵抗のウェハを用いる。402 は素子分離用の絶縁膜であり、例えば、従来技術である LOCOS 法により二酸化シリコン膜を 6000\AA 形成する。403 はトランジスタのソースとなる N 型拡散層であり、例えばリンを 80keV $5\times 10^{15}\text{cm}^{-2}$ イオン注入することによって形成する。404 はドレインとなる N 型拡散層であり、403 と同時に形成する。405 はゲート電極であり、例えばリンでドーパされたポリシリコンを用いる。406 は第 1 層間絶縁膜であり、例えば CVD 法によりリンガラスを 4000\AA 形成する。407 は配線電極であり、例えばタングステン 5000\AA スパッタする。408 は第 2 層間絶縁膜であり、例えば CVD 法により二酸化シリコンを 8000\AA 形成する。この時、スピン・オン・ガラス等を併用して十分に平坦化することが望ましい。409 はスルーホール 409 の埋め込

みプラグであり、例えばタングステンをCVD法によって形成する。

【0034】410及び411は本発明の趣旨による、キャパシタの二つの電極であり、例えば白金をスパッタ法により4 μ m形成した後、410及び411を同時に、所望のパターンに形成する。412は本発明の趣旨によるキャパシタの誘電体であり、例えばチタン酸ジルコン酸鉛(Pb(Ti_{0.6}Zr_{0.4})O₃)をゾルーゲル法により形成し、500℃で焼結する。

【0035】以上をもって本発明の第4の実施例とする。

【0036】このように、誘電体412のキャパシタンスに寄与する部分を半導体基板401に垂直に形成したことによって、第1の実施例と同様に、キャパシタの占有面積を小さくすることができる。またさらに、誘電体412をキャパシタ部分だけでなく素子全体を覆うように形成したことによって、パッシベーションとしての効果が得られるので、パッシベーション形成にともなう工程を削減することができる。

【0037】

【発明の効果】本発明によれば、キャパシタの誘電体のキャパシタンスに寄与する面を、半導体基板と垂直としたことにより、キャパシタの占有面積を小さくできるという効果を有する。

【0038】また、本発明によれば、キャパシタの二つの電極を、誘電体形成の前に、しかも同時に形成したことにより、キャパシタ形成に関する工程増を抑制でき、また、誘電体の結晶配向性を電極の配向性によって制御することができ、さらに、キャパシタの誘電率などの特性の印加電圧の方向による差異、すなわち非対称性を無くすることができるという効果を有する。

【0039】また、本発明によれば、キャパシタの誘電体の一部をパッシベーションとしたことにより、工程数の削減を図ることができるという効果を有する。

【図面の簡単な説明】

【図1】 本発明の第1の実施例の半導体装置の、主要工程断面図、及び平面図。

【図2】 本発明の第2の実施例の半導体装置の、主要断面図。

【図3】 本発明の第3の実施例の半導体装置の製造方法の、主要工程断面図。

【図4】 本発明の第4の実施例の半導体装置の、主要断面図。

【図5】 従来の技術による、半導体装置の主要断面図。

【符号の説明】

101 半導体基板
102 素子分離膜
103 ソース領域
104 ドレイン領域

105 ゲート電極
106 第1層間絶縁膜
107 配線電極
108 第2層間絶縁膜
109 埋め込みプラグ
110 誘電体
111 キャパシタ電極となる膜
112 キャパシタ電極
113 キャパシタ電極
114 パッシベーション
115 埋め込みプラグ
201 半導体基板
202 素子分離膜
203 ソース領域
204 ドレイン領域
205 ゲート電極
206 第1層間絶縁膜
207 誘電体
208 キャパシタ電極
209 キャパシタ電極
210 第2層間絶縁膜
211 配線電極
301 半導体基板
302 素子分離膜
303 ソース領域
304 ドレイン領域
305 ゲート電極
306 第1層間絶縁膜
307 キャパシタ電極
308 キャパシタ電極
309 誘電体
310 第2層間絶縁膜
311 配線電極
401 半導体基板
402 素子分離膜
403 ソース領域
404 ドレイン領域
405 ゲート電極
406 第1層間絶縁膜
407 配線電極
408 第2層間絶縁膜
409 埋め込みプラグ
410 キャパシタ電極
411 キャパシタ電極
412 誘電体
501 半導体基板
502 素子分離膜
503 ソース領域
504 ドレイン領域
505 ゲート電極

10

20

30

40

50

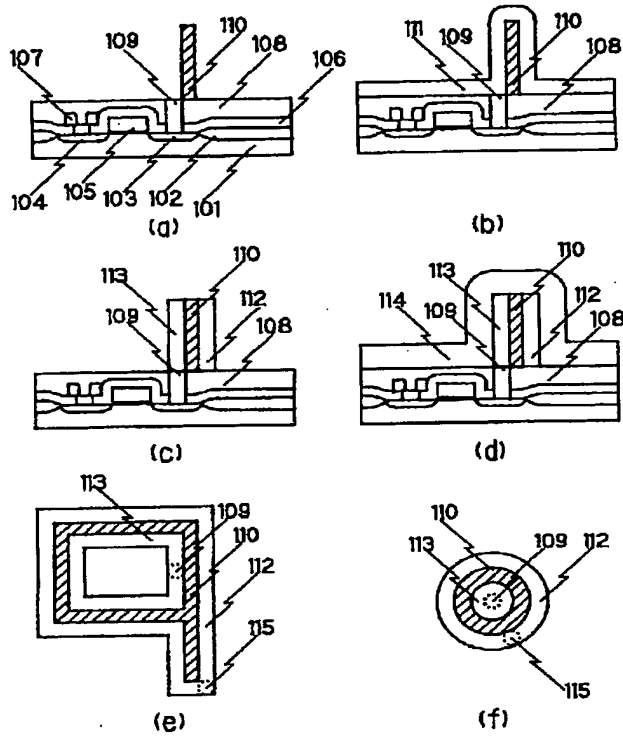
9

506 第1層間絶縁膜
507 強誘電体膜
508 下部電極

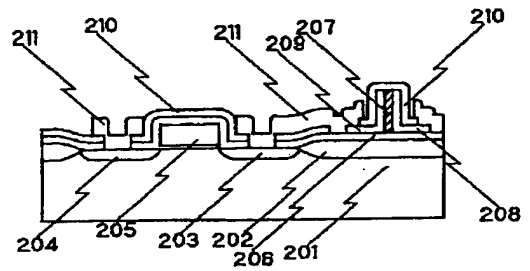
10

*509 上部電極
510 第2層間絶縁膜
*511 配線電極

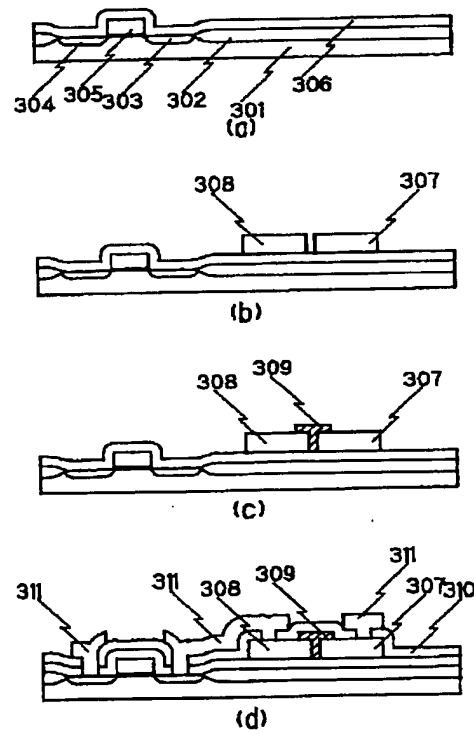
【図1】



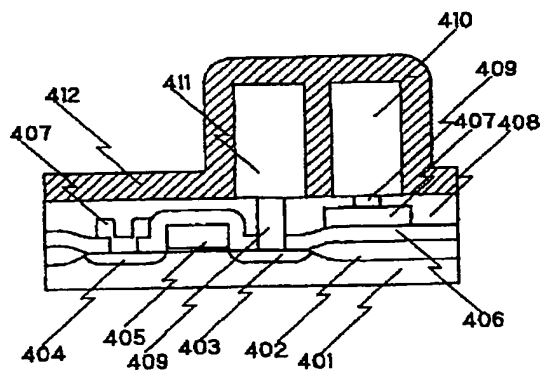
【図2】



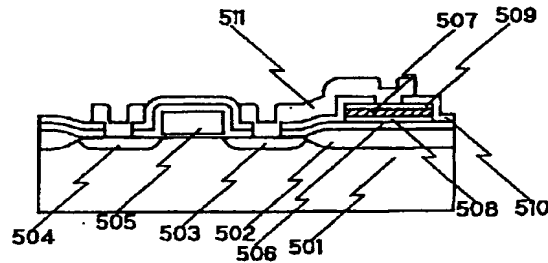
【図3】



【図4】



【図 5】



【手続補正書】

【提出日】平成11年8月9日（1999. 8. 9）

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】発明の名称

【補正方法】変更

【補正内容】

【発明の名称】 半導体装置

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項1】 誘電体が二つの電極によって挟まれた構造を有するキャパシタが能動素子の形成された同一半導体基板上に集積された半導体装置において、前記誘電体は、前記電極と挟まれることによって前記電極の第1の面に接するように設けられる第1の部位を有するとともに、前記電極の第1の面とは異なる第2の面にも接するように設けられる第2の部位を有することを特徴とする半導体装置。

【請求項2】 前記第1の部位と前記第2の部位とが略直角となるように配置されてなる事を特徴とする請求項1記載の半導体装置。

【請求項3】 誘電体が二つの電極によって挟まれた構造を有するキャパシタが能動素子の形成された同一半導体基板上に集積された半導体装置において、前記誘電体は、前記電極と挟まれることによって前記電極の第1の面に接するように設けられるとともに、前記電極の第1の面とは異なる第2の面にも接するように設けられてなることを特徴とする半導体装置。

【請求項4】 前記誘電体は、略T字状に形成されてなる事を特徴とする請求項3記載の半導体装置。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0001

【補正方法】変更

【補正内容】

【0001】

【産業上の利用分野】本発明は、主に、キャパシタを有する半導体装置、特に半導体記憶装置に関する。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0007

【補正方法】変更

【補正内容】

【0007】

【課題を解決するための手段】本発明の半導体装置は、誘電体が二つの電極によって挟まれた構造を有するキャパシタが能動素子の形成された同一半導体基板上に集積された半導体装置において、前記誘電体は、前記電極と挟まれることによって前記電極の第1の面に接するように設けられる第1の部位を有するとともに、前記電極の第1の面とは異なる第2の面にも接するように設けられる第2の部位を有することを特徴とする。また、上記内容に加えて、前記第1の部位と前記第2の部位とが略直角となるように配置されてなる事を特徴とする。

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0008

【補正方法】変更

【補正内容】

【0008】一方、本発明の他の半導体装置は、誘電体が二つの電極によって挟まれた構造を有するキャパシタが能動素子の形成された同一半導体基板上に集積された半導体装置において、前記誘電体は、前記電極と挟まれることによって前記電極の第1の面に接するように設けられるとともに、前記電極の第1の面とは異なる第2

の面にも接するように設けられてなることを特徴とする。また、上記内容に加えて、前記誘電体は、略 T 字状に形成されてなる事を特徴とする。

【手続補正 6】

【補正対象書類名】明細書

【補正対象項目名】0 0 0 9

【補正方法】削除